

Vivado工具使用

功能测试讲解

性能测试讲解

CPU调试方法

CPU设计探讨

预赛提交说明

总结与答疑

➤ **实验箱：**

- **原理图**
- **注意LED，拨码开关 0/1定义**

➤ **FPGA流程：**

- **设计**
- **仿真**
- **综合，布局，布线**
- **下载，实际操作**
- **逻辑分析仪**

Vivado工具使用

功能测试讲解

性能测试讲解

CPU调试方法

CPU设计探讨

预赛提交说明

总结与答疑

功能测试讲解

- 功能测试：
 - 89个功能点：91 – 3 (mtc0/mfc0/eret) + 1(soft int)
 - 记忆游戏：仅SoC_axi
- Func
 - 讲解：拨码开关控制随机种子，同时控制wait_1s,
 - 展示
- 记忆游戏
 - 讲解
 - 展示

➤ Sram接口：89 * 0.5

➤ Axi接口：89*1 + 11

(sram ? 44.5 : 89 + 11)

功能测试讲解

➤ Wait_1s 自动获取:

- 上板时, 按下复位键后, 拨码开关控制Wait_1s

➤ 随机种子传入:

- 上板时, 按下复位期间, 拨码开关传递随机种子

➤ AXI 随机延迟

- 伪随机生成, 7+16
- 随机种子,seed_init
- 延迟长短, 复位时锁定:
- 无延迟, seed_init[15:0]==16' h00ff
- 短延迟, seed_init[7:0]==8' hff
- 长延迟, seed_init[7:0]!=8' hff
- 上板时, 拨码开关控制 随机种子, 数码管显示种子
- 参见confreg.v
- AXI协议, 发起不可撤销

Vivado工具使用

功能测试讲解

性能测试讲解

CPU调试方法

CPU设计探讨

预赛提交说明

总结与答疑

性能测试讲解

➤ 性能测试:

- 10个小程序
- 只有一块AXI RAM
- AXI RAM固定延迟
- 使用实际运行时间

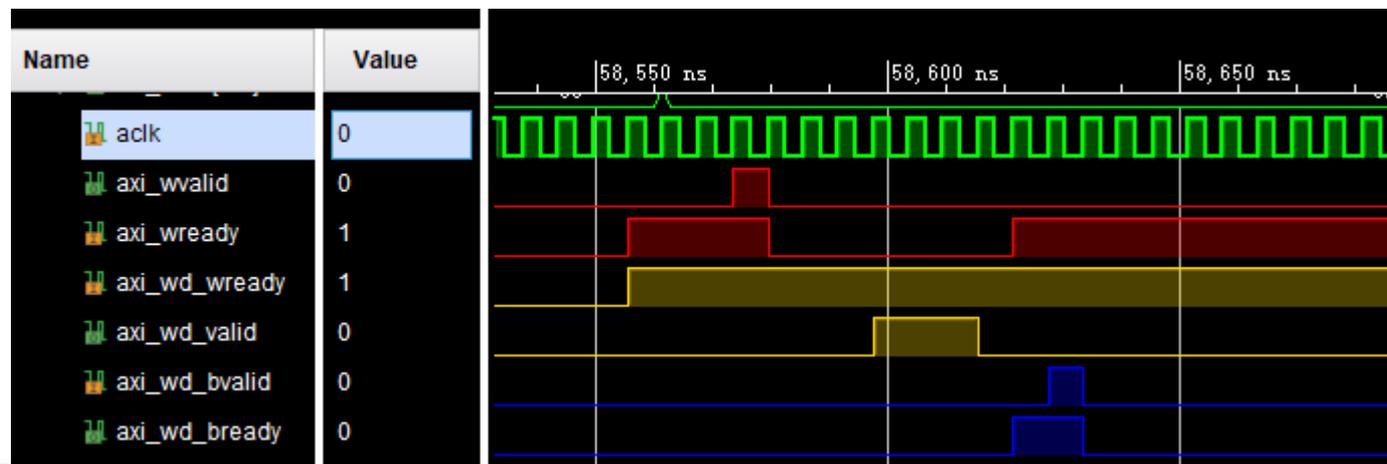
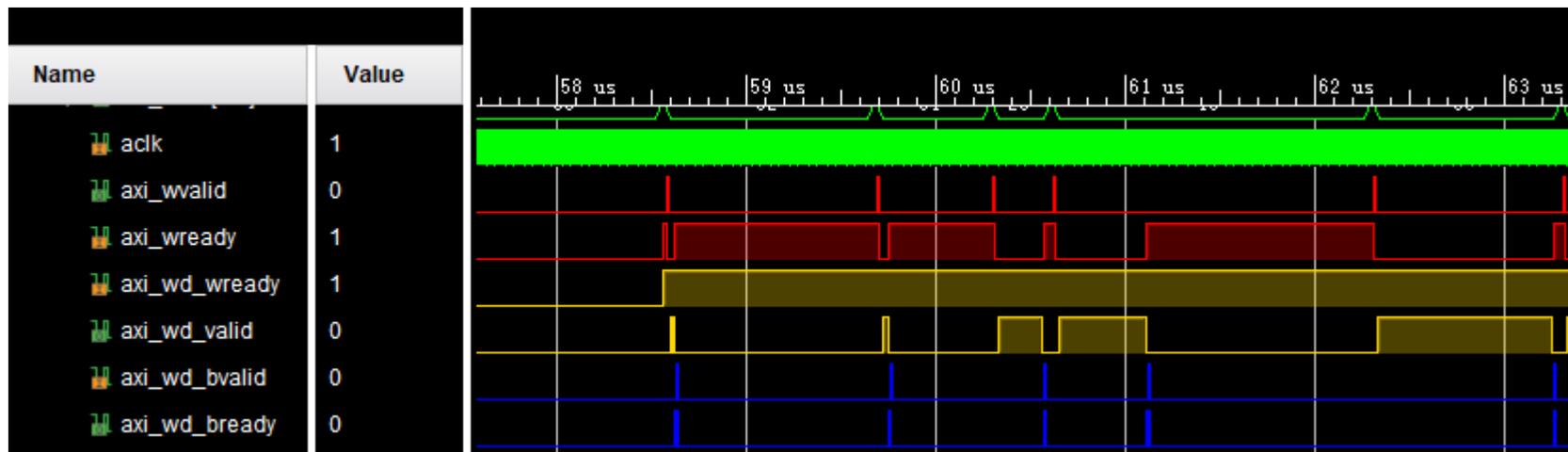
➤ 计分规则:

- 以gs132为基准, 10个程序实际运行时间, 归一化后得到性能分数

性能测试讲解

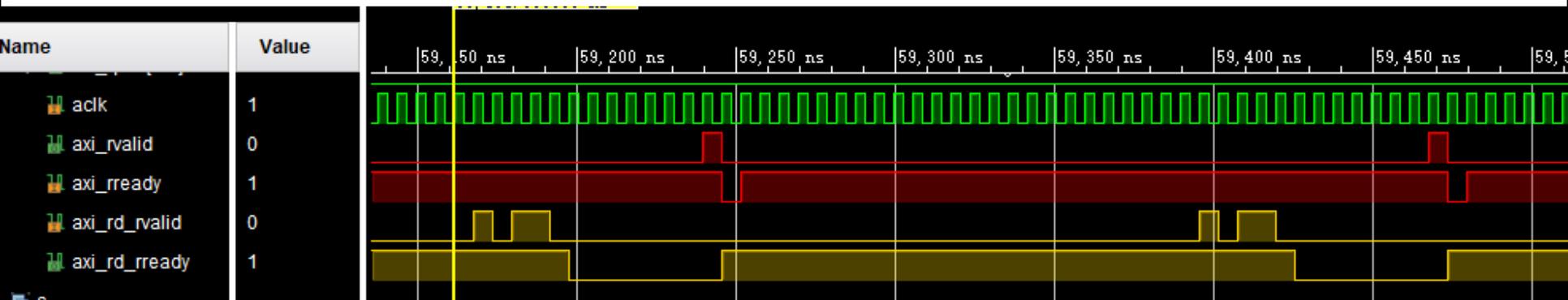
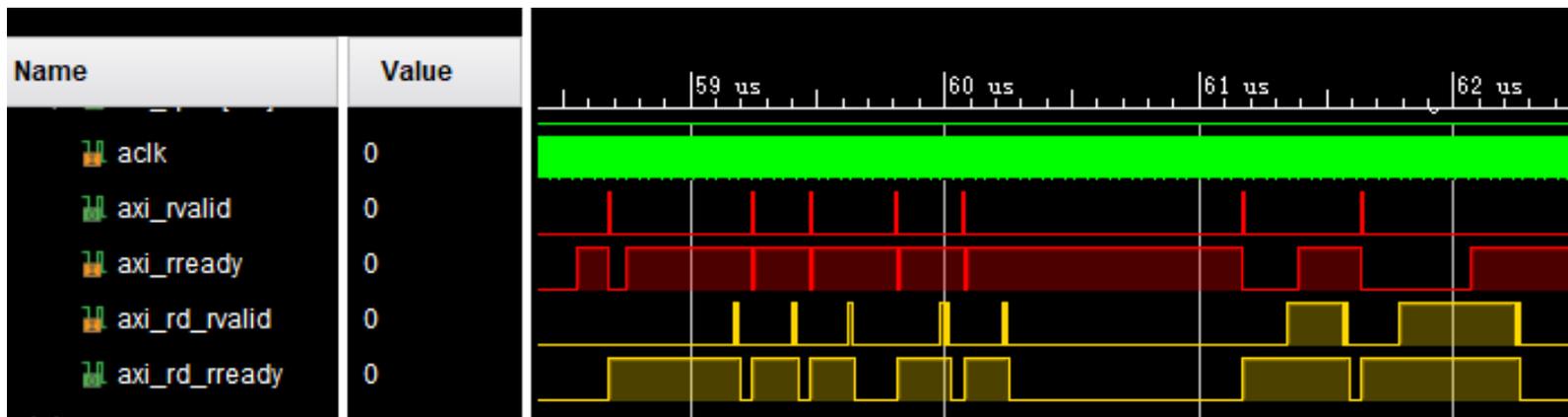
➤ AXI RAM固定延迟:

- 模拟DDR3访存延迟: aw->b有3拍延迟



性能测试讲解

- AXI RAM固定延迟：
 - 模拟DDR3访存延迟： ar->r有25拍延迟



性能测试讲解

- **使用实际运行时间:**
 - **最后实现, 除了要求功能通过**
 - **Implementation里 WNS不能为负值, TNS/WHS/THS等不关注**

- **编译讲解:**
 - **独立编译**
 - **联合编译: 用于上板**
 - **上板时, 拨码开关右侧4个拨为 n (1~10) 指定运行第n个测试:
设定拨码开关, 按复位键**

- **循环次数:**
 - **仿真时, 循环运行1次**
 - **上板时, 每个独立测试循环运行10次**

Vivado工具使用

功能测试讲解

性能测试讲解

CPU调试方法

CPU设计探讨

预赛提交说明

总结与答疑

CPU调试方法

- doc/A09_CPU仿真调试说明.pdf

Vivado工具使用

功能测试讲解

性能测试讲解

CPU调试方法

CPU设计探讨

预赛提交说明

总结与答疑

CPU设计探讨

- **运算能力+供数能力**
- **CPU高效率:**
 - **连续取指数**
 - **连续提交数**
 - **功能部件空闲情况**
- **访存是瓶颈:**
 - **性能测试, AXI RAM 固定测试, fetch/load要25拍**

CPU设计探讨

➤ 访存解决方案:

- Cache: 功能全面, 但实现偏复杂
- 缓存: 简单但有效
- 预取: 简单算法就很有效
- 其他: fetch 比load/store更重要
load/store未完成时, 后续指令阻塞?
- AXI: burst传输
- Cache请使用RAM搭建

➤ 其他:

- 高频率
- 多发射

➤ CPU完整性:

- Cache需要实现Cache指令
- TLB是启linux必要的
- CP0补充完整, 比如PRID, CONFIG等。

Vivado工具使用

功能测试讲解

性能测试讲解

CPU调试方法

CPU设计探讨

预赛提交说明

总结与答疑

预赛提交说明

- 发布包Qualifiers_Submission/预赛提交说明.pdf
- 预赛复核机制：
 - myCPU加入标准模板运行：
 - 代码查重：往届和本届

Vivado工具使用

功能测试讲解

性能测试讲解

CPU调试方法

CPU设计探讨

预赛提交说明

总结与答疑

总结

- **Vivado:**
 - **仿真技巧: 抓取所有信号**
 - **综合: 不准出现时序违约**
- **调试:**
 - **X, Z, 越沿, 停止**
 - **Trace比对仅功能测试**
- **功能测试:**
 - ***sram* ? 44.5 : 89 + 11**
 - **AXI RAM随机延迟,**
 - **AXI协议, 发起不可撤销**
 - **延迟长短, 复位时锁定**

总结

- **性能测试：**
 - **AXI RAM固定延迟**
 - **使用实际运行时间，最后WNS不能为负**
 - **上板，联合编译，使用拨码开关指定运行项**
- **CPU设计探讨：**
 - **当前机制，访存延迟大是最大的问题**
- **预赛提交注意符合要求**

谢谢!